

KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010014697 A
(43)Date of publication of application: 26.02.2001

(21)Application number:	1020000018130	(71)Applicant:	FUJITSU LTD
(22)Date of filing:	07.04.2000	(72)Inventor:	TAKAHASHI SATOSHI
(30)Priority:	30.07.1999 JP 99 217932		
(51)Int. Cl	H01L 27/115		

(54) SEMICONDUCTOR STORAGE DEVICE AND MANUFACTURE THEREOF

(57) Abstract:

PURPOSE: To substantially improve data retention characteristics of a second cell (a reference cell, a redundancy memory cell, an OTP region, etc.), comprising substantially the same steps and same structure as those of a first cell (memory cell), without increasing the number of steps needlessly.

CONSTITUTION: By utilizing the property that a threshold returns to initial value, namely an initial threshold by the fact that a second cell is damaged by baking, the initial threshold of the second cell is shifted to approach a setting threshold demanded for the second cell as closely as possible. Specifically, when threshold control ions are implanted in a channel region, impurities having concentration different from a memory cell or impurities having different conductivity types are ion implanted.

COPYRIGHT 2001 KIPO

Legal Status

Date of final disposal of an application (00000000)

Date of registration (00000000)

Date of opposition against the grant of a patent (00000000)

BEST AVAILABLE COPY

공개특허 제2001-14697호(2001.02.26) 1부.

[첨부그림 1]

특 2001-0014697

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl. ⁷ H01L 27/115	(11) 공개번호 (43) 공개일자	특2001-0014697 2001년02월26일
(21) 출원번호 (22) 출원일자	10-2000-0018130 2000년04월07일	
(30) 우선권 주장 (71) 출원인	99-217932 1999년07월30일 일본(JP) 후지쯔 가부시끼가이샤 아끼구사 나오후미	
(72) 발명자	일본국 가나가와켄 가와사키시 나카하라구 가미고다나카 4초메 1-1 다카하시 사토시	
(74) 대리인	일본국 가나가와켄 가와사키시 나카하라구 가미고다나카 4-1-1 후지쯔 가부시끼가이샤 내 문두현, 문기상	

심사청구 : 없음

(54) 반도체 기억장치 및 그 제조 방법

요약

현되어 공정 수를 증가시키지 않고, 제 1 셀(메모리 셀)과 거의 동일 공정·동일 구조로 이루어진 제 2 셀(레퍼런스 셀, 용장(冗長) 메모리 셀, OTP 영역 등)의 데이터 보존 특성을 대폭적으로 향상시킨다. 제 2 셀이 베이킹(baking)에 의해 손상을 받음으로써, 임계치가 초기 상태, 즉 초기 임계치로 복귀하려고 하는 성질이 있는 것을 이용하여, 제 2 셀의 초기 임계치를 시프트시켜서, 당해 제 2 셀에 요구되는 설정 임계치에 가깝게 접근시킨다. 구체적으로는, 채널 영역으로의 임계치 제어용 미온 주입을 행할 때, 메모리 셀과 다른 불순물 농도로, 또는 다른 도전형의 불순물을 미온 주입한다.

도면

도 1

제1면

반도체 기억장치, 데이터 보존특성, 임계치

도면상

도면의 간단한 설명

도 1 은 본 발명에 있어서 제 2 셀에서의 데이터 보존 특성의 설정 임계치의 의존도를 조사한 결과를 나타내는 특성도.

도 2 는 본 발명의 제 1 실시형태의 반도체 기억장치의 주요 구성을 나타내는 개략 평면도.

도 3 은 본 발명의 제 1 실시형태의 반도체 기억장치의 주요 구성을 나타내는 개략 단면도.

도 4 는 레퍼런스 셀의 각 설정 임계치의 일례를 나타내는 특성도.

도 5 는 제 1 실시형태의 반도체 기억장치의 제조 방법을 공정순으로 나타내는 개략 단면도.

도 6 은 제 1 실시형태에 있어서, 초기 임계치의 조정 공정을 나타내는 개략 평면도.

도 7 은 제 1 실시형태의 변형례 1의 반도체 기억장치의 제조방법의 주요 공정을 나타내는 개략 단면도.

도 8 은 제 1 실시형태의 변형례 2의 반도체 기억장치의 제조방법의 주요 공정을 나타내는 개략 단면도.

도 9 는 제 1 실시형태의 변형례 3의 반도체 기억장치의 제조방법의 주요 공정을 나타내는 개략 단면도.

도 10 은 본 발명의 제 2 실시형태의 반도체 기억장치의 주요 구성을 나타내는 개략 평면도.

도 11 은 본 발명의 제 2 실시형태의 반도체 기억장치의 주요 구성을 나타내는 개략 단면도.

도 12 는 제 2 실시형태에 있어서 초기 임계치의 조정 공정을 나타내는 개략 평면도.

도 13 은 제 2 실시형태의 변형례의 반도체 기억장치의 제조방법의 주요 공정을 나타내는 개략 단면도.

※ 도면의 주요부분에 대한 부호의 설명 ※

1: 메모리 셀

2: 독출 확인용 셀

- 3: 기입 확인용 셀
- 4: 소거 확인용 셀
- 5: 과소거 검출용 셀
- 1a-5a, 44a: 소자 활성 영역
- 11: 반도체 기판
- 12: 터널 절연막
- 13: 플로우팅 게이트
- 14: 소스/드레인
- 15: 절연막
- 16: 컨트롤 게이트
- 17: 비트선
- 18, 31, 32, 45: Vth 제어층
- 21: 필드 산화막
- 22-27, 51, 52: 레지스트 마스크
- 41: 메모리 셀 영역
- 42: OTP 영역
- 43: 주변회로 영역
- 44: OTP 영역 셀

본 발명의 상세한 설명

본 발명의 목적

본 발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은, 전하 축적율을 갖는 메모리 셀을 구비한 반도체 기억장치 및 그 제조 방법에 관한 것으로, 특히 상기 메모리 셀의 제상태의 판정 기준이 되는 레퍼런스 셀이나 사용 시에는 독출 전용으로 되는 다른 메모리 셀을 구비한 반도체 기억장치에 적용하기에 적합하다.

각종 휴대용 전자 기기나 가전 제품의 다기능화에 따라, 1칩 마이크로 컴퓨터로 대표되는 반도체 기억장치에, 전하의 집속을 단절하여도 기억 데이터가 유지되는 EPROM, EEPROM 등의 전하 축적층(플로우팅(floating) 게이트)을 갖는 비휘발성 반도체 메모리를 집적하는 기술의 중요도가 증가하고 있다. 이 반도체 기억장치에는, 주메모리 셀과는 달리 사용 시에는 기억 정보의 기입 교체(및 소거)가 거의 행해지지 않는 반도체 소자가 설치되어 있다.

예를 들면, 필수적인 것으로서는, 메모리 셀의 기억 정보의 독출용, 기입 확인용, 소거 확인용, 과소거 검출용 등 제상태의 판정 기준이 되는 각종 레퍼런스 셀이 있다. 독출용의 레퍼런스 셀은 통상의 독출 시의 판정 기준으로 사용되고, 기입 확인용은 기입 후의 판정 기준으로, 소거 확인용은 소거 후의 판정 기준으로, 과소거 검출용은 인접 메모리 셀에 있어서의 기억 소거의 영향에 의해 과소거가 발생되었는지 아닌지의 판정 기준으로 각각 사용된다. 또, 특별히 설치된 것으로서는, 불량점 비트로부터 불량점 비트로의 전하 정보를 저장하기 위한 동작 메모리 셀이나 1회만 기입 가능하고 그 후에는 소거할 수 없는 특정 영역(OTP 영역)에 형성되는 OTP 영역 셀 등이 있다.

상기와 같은 반도체 소자는 통상, 제조 공정의 단축이나 온도 특성·프로세스 불규칙의 억제, 레퍼런스 셀이면 시험 공정에 있어서 설정 값의 미세 조정이 가능해지는 것 등을 고려하여, 메모리 셀과 동일 공정에 의해 동일 구조로 형성된다.

상기의 각종 반도체 소자를 갖춘 반도체 기억장치를 제조할 때에, 해당 반도체 소자가 주로 독출 전용으로서 사용되기 때문에, 반도체 소자를 메모리 셀과 동시에 제조한 후에, 기입 및 소거 동작에 의해 각각에 요구되는 임계치로 설정한다. 이 경우에, 각종 반도체 소자는, 메모리 셀과 함께 그 제조 공정에 있어서 임계치 채널 영역의 임계치 제어(초기 임계치로 규정하는 제어)를 행하여 소자를 완성시킨 후, 각 임계치로 설정된다.

본 발명이 이루고자 하는 기술적 과제

최근에는 반도체 기억장치의 고집적화가 더욱 진행되고 있고, 이에 따라서 메모리 셀이나 레퍼런스 셀 등의 미세화 및 배선층의 증가가 필수로 된다. 일반적으로, 플로우팅 게이트와 콘택 용과의 거리 및 배선 용량은, 플로우팅 게이트로의 전하의 불충의 주입(전하 이득)·불충의 인출(전하 손실)이 발생하여 데이터 변동을 일으키는 소위 데이터 보존특성에 영향을 주는 것이 알려져 있다. 이것은, 콘택 용 형성 시에 있어서의 에칭 플라즈마 손상이 주된 원인이라고 추측된다. 당해 손상은, 고집적화·미세화가 진행될수록 필연적으로 발생하기 쉽다는 성질을 갖기 때문에, 반도체 기억장치의 고집적화·미세화가 진행될수록 데이터 보존특성이 열화한다는 문제가 생긴다.

데이터 보존특성의 열화는, 반도체 기억장치의 고집적화·미세화뿐만 아니라, 열이나 전계 스트레스에 의해 조장된다. 상기한 바와 같은 사용 시에는 거의 기억 정보의 기입(소거)이 행해지지 않고 오로지 독출용으로 재공되는 반도체 소자, 예를 들면 각종 레퍼런스 셀이나 용장 메모리 셀, OTP 영역 등은, 그 사용 형태로부터 각각의 메모리 셀에 비하여 지극히 빈번하게 독출 동작이 행해진다. 이것에 의해서, 메모리 셀보다도 장시간 독출 동작에 의한 전계 스트레스가 인가되고, 전하 이득 또는 전하 손실을 야기한다는 심각한 문제가 있다. 또한, 레퍼런스 셀과 같이 각각의 기능에 의해 설정 임계치가 각각 크게 다른 것에 대해서도 동일하다.

여기서 본 발명은, 상기의 과제에 비추어 이루어진 것으로, 헛되이 공정 수를 증가시키지 않고 제 1 셀(메모리 셀)과 거의 동일 공정·동일 구조로 이루어진 제 2 셀(레퍼런스 셀, 용장 메모리 셀, OTP 영역 등)의 데이터 보존특성을 대폭적으로 향상시키는 것을 가능하게 하는 반도체 기억장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

본 발명의 구성 및 작용

본 발명은 상기 과제를 해결하기 위하여, 이하에 나타내는 제 실시 형태를 갖는다.

제 1 실시형태는, 전하 축적층을 갖는 메모리 셀인 제 1 셀과, 상기 전하 축적층을 갖고 1개의 설정 임계치로 규정되어 사용에 제공되는 적어도 1종류의 제 2 셀을 구비한 반도체 기억장치이다. 본 실시예에서는, 상기 제 2 셀이, 제조 시의 초기 임계치가 상기 제 1 셀의 초기 임계치와 다르고, 상기 설정 임계치에 가깝게 가파워지도록 상기 초기 임계치가 조절되게 된다.

상기 제 2 셀의 구체예로서는, 상기 제 1 셀의 제상태에 대응하여 설정된 임계치를 판정하기 위한 기준이 되는 각종의 레퍼런스 셀로 하는 것이 바람직하다.

또, 상기 제 2 셀의 다른 구체예로서는, 독출 전용으로서 사용에 제공되는 메모리 셀로 하는 것이 바람직하다.

상기 제 2 셀의 상기 구성을 실현하는 구체예로서는, 상기 제 1 셀과 채널 영역에 있어서의 불순물농도를 다르게 하는 것이 바람직하다.

제 2 실시형태는, 전하 축적층을 갖는 메모리 셀인 제 1 셀과, 상기 전하 축적층을 갖고 1개의 설정 임계치로 규정되어 사용에 제공되는 적어도 1종류의 제 2 셀을 구비한 반도체 기억장치의 제조 방법으로, 상기 제 1 및 제 2 셀의 각 채널 영역에 불순물을 도입하여 초기 임계치를 설정하는 공정을 갖고, 상기 제 2 셀의 상기 공정을, 상기 제 1 셀의 상기 공정과는 별개로 행하고, 상기 설정 임계치에 가깝게 가파워지도록 상기 초기 임계치를 조절한다.

여기서, 상기 제 1 및 제 2 셀을, 상기 공정을 제외하고는 동일 제조 공정에 의해 형성하는 것이 바람직하다.

일반적으로, 주기억 소자인 메모리 셀(제 1 셀)에 대하여, 이것과 마찬가지로 전하 축적층을 갖는 비휘발성 메모리 구조로 이루어지고 1개의 설정 임계치로 규정되어 사용에 제공되는 셀(제 2 셀)을 구비한 반도체 기억장치에 있어서, 제 2 셀은 고집적화·미세화에 대하여 데이터 보존특성의 열화를 조장하는 주원인이 되는 열·전계 스트레스의 인가 등의 손상을 받아도, 손상 전의 설정 임계치가 초기 임계치에 가까워지도록 데이터 보존특성은 양호하게 유지되는 경향이 있다. 본 발명에서는 이 성질을 이용하여, 각 제 2 셀에 필요한 설정 임계치를 각각 기점으로, 각 제 2 셀마다 해당 설정 임계치에 가깝게 가파워지도록 초기 임계치를 조절한다. 구체적으로는, 제조 시에 있어서 채널 영역에 임계치 제어용의 불순물을 도입할 때에, 제 1 셀과는 독립적으로 제 2 셀의 불순물농도를 조정하면 좋다. 이와 같이, 초기 임계치와 설정 임계치의 차분(差分)을 작게 함으로써, 손상 전후의 설정 임계치의 변화가 작아지고, 데이터 보존특성이 양호하게 유지되게 된다.

실시예

이하, 본 발명의 반도체 기억장치 및 그 제조 방법을 적용한 바람직한 제 실시 형태에 대해서, 도면을 참조하면서 상세하게 설명한다.

본 실시 형태에서는, 플로우팅 게이트를 갖는 비휘발성의 메모리 셀(제 1 셀) 및 마찬가지로 플로우팅 게이트를 갖고 소량의 1개의 설정 임계치로 규정되어 사용에 제공되는 셀(제 2 셀)을 구비한 반도체 기억장치를 개시한다.

본 실시 형태의 설명에 있어서, 본 발명이 의거하는 작용 원리에 대해서 설명한다.

도 1은, 제 2 셀에 있어서의 데이터 보존특성의 설정 임계치의 의존도를 조사한 결과를 나타내는 특성도이다. 여기서, 제 2 셀을 소정의 설정 임계치로 규정한 후, 250°C 에서 24 시간 베이킹(baking)하여 열적 손상을 주고, 설정 임계치의 변화량($\Delta V_{th} = (\text{베이킹 후의 설정 임계치}) - (\text{베이킹 전의 설정 임계치})$)를 측정했다.

도 1에 나타낸 바와 같이, 약 0.9V 의 초기 임계치를 기점으로 하여, 베이킹 전의 설정 임계치가 초기 임계치보다 플러스 변화량(ΔV_{th})은 마이너스 방향으로 시프트하고, 전하 손실이 발생하기 쉽게 된다. 한편, 베이킹 전의 설정 임계치가 초기 임계치보다 작을수록 변화량(ΔV_{th})은 플러스 방향으로 시프트하고, 전하 이득이 발생하기 쉽게 된다. 이것은, 제 2 셀은 베이킹의 손상을 받음으로써 임계치가 초기 상태, 즉 초기 임계치로 복귀하려는 성질이 있다는 것을 시사하고 있다.

본 발명에서는 상기 성질을 이용하여 제 2 셀의 초기 임계치를 시프트시키고, 당해 제 2 셀에 요구되는 설정 임계치에 가깝게 근사시킨다. 이것에 의해서, 변화량(ΔV_{th})의 절대치가 0V로 점점 감소하게 되고, 데이터 보존특성이 양호하게 유지된다.

이하, 상술의 근거를 따라 구체적인 제 실시 형태에 대해서 설명한다.

제 1 실시 형태

먼저, 제 1 실시 형태에 대해서 설명한다. 여기서는, 제 2 절로서, 메모리 셀의 각종 레퍼런스 셀을 구비한 반도체 기억장치에 대해서 예시한다.

도 2 는, 제 1 실시 형태의 반도체 기억장치의 주요 구성을 나타내는 개략 평면도이고, 도 3 은 그 개략 단면도이다.

여기서, 1 은 메모리 셀이고, 2-5 가 메모리 셀(1)의 제상태에 대응하여 설정 임계치를 판정하기 위한 기준이 되는 각종의 레퍼런스 셀이고, 2 가 특출 확인용 셀, 3 이 기입 확인용 셀, 4 가 소거 확인용 셀, 5 가 과소거 검출용 셀로 되어 있다.

메모리 셀(1) 및 레퍼런스 셀(2-5)은 각각 대략 동일 구조로 되어 있다. 즉, 반도체 기판(11) 상에 실리콘 산화막 등으로 이루어진 터널 절연막(12)이 형성되고, 터널 절연막(12) 상에 다결정실리콘 막 등으로 이루어지는 플로우팅 게이트(13)가 메모리 셀(1)마다 성 형상으로 패턴 형성되어 있다. 플로우팅 게이트(13)의 양측에 있어서의 반도체 기판(11)에는, 불순물이 미온 주입되어 1쌍의 소스/드레인(14)이 형성되어 있고, 반도체기판(11)의 소스/드레인(14) 사이의 부위가 채널 영역이 된다. 그리고, 플로우팅 게이트(13) 상에는 절연막(15)을 사이에 두고 띠 모양으로 연장하는 컨트롤 게이트(16)가 형성되고, 소스/드레인(14)의 한쪽(불순물 드레인)과 접속되어 있는 비트선(17)이 형성되어, 메모리 셀(1) 및 레퍼런스 셀(2-5)의 주요 구성이 된다.

컨트롤 게이트(16)와 비트선(17)은 거의 직교하도록 설치되어 있고, 각 셀(1-5)이 매트릭스 모양으로 배치된다. 소정의 셀로 액세스하려면, 각각 1개의 컨트롤 게이트(16) 및 비트선(17)을 선택하면 된다.

레퍼런스 셀(2-5)의 각 설정 임계치의 일례를 도 4 에 나타낸다. $V_{th}(OE)$ 가 과소거 검출용 셀(5)의 설정 값($= -1V$)을 나타내고, $V_{th}(E)$ 가 소거 확인용 셀(5)의 설정 값($= 1V$)을, $V_{th}(R)$ 가 특출 확인용 셀(2)의 설정 임계치($= 2V$)를, $V_{th}(W)$ 가 기입 확인용 셀(3)의 설정 임계치($= 3V$)를 각각 나타내고 있고, 메모리 셀(1)의 초기 임계치($V_{th}(1)$)는 $V_{th}(R)$ 와 동일 값($2V$)으로 되어 있다. 이와 같이 각 레퍼런스 셀(2-5)의 설정 임계치가 규정됨으로써, 메모리 셀(1)의 임계치는 기억 소거 후에는 $V_{th}(OE)$ 와 $V_{th}(E)$ 의 사이에, 기입 후에는 $V_{th}(W)$ 이상의 소정 값으로서 분포하게 된다.

본 실시 형태에서는, 레퍼런스 셀(2-5)의 초기 임계치를 설정 임계치에 접근시키는 것에 더하여, 가능한 한 레퍼런스 셀(2-5)의 각각과 메모리 셀(1)을 장합적으로 저공정수로 효율 좋게 형성하는 것을 고려하고, 레퍼런스 셀(2-5) 중 적어도 1종류가 메모리 셀(1)과 초기 임계치가 다르도록 형성되어 있다. 구체적으로는, 도 4 에 나타낸 바와 같이, 레퍼런스 셀(2-5) 중, 과소거 검출용 셀(5)의 설정 임계치가 메모리 셀(1)의 초기 임계치($V_{th}(1)$)와 가장 떨어져 있고, 따라서 데이터 보존특성의 열화(이 경우, 전하 이득)는 과소거 검출용 셀(5)에서 가장 발생하기 쉽다고 생각된다. 그런데, 당해 반도체 기억장치의 제조 공정에 있어서, 이하에 나타낸 바와 같이 과소거 검출용 셀(5)의 초기 임계치를 조정한다.

이하, 상기 초기 임계치의 조정을 근거로 한 반도체 기억장치의 제조 공정을 설명한다.

도 5 는, 본 실시 형태의 반도체 기억장치의 주요 공정을 차례로 나타낸 개략 단면도이고, 도 6 은 초기 임계치의 조정 공정을 나타낸 개략 평면도이다.

먼저, 도 5 에 나타낸 바와 같이, p형의 실리콘 반도체 기판(11)의 표면에 예를 들면 LOCOS 법에 의해 소자 분리 영역에 소자 분리 구조로서 필드 산화막(21)을 형성하고, 각 셀(1-5)의 소자 활성 영역(1a-5a)을 형성한다. 또한, 소자 분리 구조로서는 필드 산화막에 한정되지 않고, 예를 들면 반도체 기판의 소자 분리 영역에 홈을 형성하고, 이 홈 내에 절연막을 매립함으로써 소자 분리를 행하는 트렌치(trench)형의 소자 분리 구조를 형성해도 된다.

다음에, 도 5(b) 및 도 6 에 나타낸 바와 같이, 전면에 포토레지스트를 도포하고, 이것을 포토리스그래피에 의해 가공하여 과소거 검출용 셀(5)이 형성되는 소자 활성 영역(5a)만을 덮는 레지스트 마스크(22)를 형성한다. 이 상태에서, 예를 들면 가속 에너지를 40-60keV, 도즈량(dose)을 $1 \times 10^{14} \sim 1 \times 10^{15}/cm^2$ 의 조건으로 p형 불순물, 예를 들면 붕소(B)를 미온 주입하고, 소자 활성 영역(5a)을 제외한 각 셀(1-4)의 채널 영역이 되는 부위에 V_{th} 제어층(18)을 형성한다.

그리고, 레지스트 마스크(22)를 매싱(ashing) 처리 등에 의해 제거하고, 그 후의 재공정은 셀(1-5) 모두에 공통된다. 즉, 열산화 등에 의해 터널 절연막(12)을 형성하고, CVD 법에 의해 다결정실리콘 막 등을 퇴적한 후, 패턴닝에 의해 각 셀마다 성 형상으로 분리하여, 플로우팅 게이트(13)를 형성한다. 그런 후, 플로우팅 게이트(13)를 마스크로 한 소스/드레인(14)의 형성, 절연막(15)의 형성, 컨트롤 게이트(16)의 형성, 전면을 덮는 층간절연막(도시하지 않음)으로의 콘택 홈(19)의 형성, 콘택 홈(19)를 메우는 층간절연막 상에서 연장하는 비트선(17)의 형성 등을 통하여, 도 3 에 나타낸 반도체 기억장치의 주요 구성을 완성한다.

이와 같이, 본 실시 형태에 있어서는, 설정 임계치와 메모리 셀(1)의 초기 임계치와의 차분(差分)이 가장 큰 과소거 검출용 셀(5)에 대해서, 다른 레퍼런스 셀(2-4)과 달리 V_{th} 제어층(18)을 형성하지 않음으로써, 그 초기 임계치를 설정 임계치에 접근시킨다. 이것에 의해서, 과소거 검출용 셀(5)의 데이터 보존특성의 열화가 억제되고, 공정 수를 현저히 증가시키지 않고 신뢰성 높은 반도체 기억장치가 실현된다.

또한, 과소거 검출용 셀(5)에 대해서는 V_{th} 제어층(18)을 형성하지 않음으로써, 쇼트 채널 효과(short channel effect)가 억제되지만, 컨트롤 게이트(16)의 게이트 길이를 길게 하는 등의 대책을 채택함으로써 회피할 수 있다.

변형예

이하, 본 실시 형태의 몇 개의 변형예에 대해서 설명한다. 또한, 본 실시 형태의 반도체 기억장치의

구성 부재 등과 동일한 것에 대해서는 동일 부호를 붙이고 설명을 생략한다.

(변형예 1)

여기서는, 도 5(b) 및 도 6 에 나타난 공정에 있어서, 과소거 검출용 셀(5)의 초기 임계치를 제어할 때에, 반도체 기판(11)과 다른 도전형(여기서는 n형)의 불순물을 도입한다.

도 7 은, 변형예 1의 반도체 기억 장치의 제조 방법의 주요 공정을 나타내는 개략 단면도이다.

즉 본 예에서는, 소자 활성 영역(5a)을 제외한 소자 활성 영역(1a-4a)에 p형 불순물을 이온 주입하여 Vth 제어층(18)을 형성한 후에, 레지스트 마스크(22)를 애싱 제거하고, 도 7(a) 에 나타난 바와 같이, 이번에는 소자 활성 영역(1a-4a)을 덮는 레지스트 마스크(23)를 형성한다. 그리고, 소자 활성 영역(5a)에 n형 불순물, 예컨대 인(P)을 가속 에너지 20keV, 도즈량 $1 \times 10^{12} \sim 1 \times 10^{14}/\text{cm}^2$ 의 조건으로 이온 주입하고, 과소거 검출용 셀(5)의 채널 영역이 되는 부위에 Vth 제어층(31)을 형성한다.

그런 후에, 레지스트 마스크(23)를 애싱 제거하고, 본 실시 형태와 마찬가지로의 공정을 거쳐, 도 7(b) 에 나타난 바와 같이, 소위 디플리션(depletion) 트랜지스터로서 기능하는 과소거 검출용 셀(5)을 포함한 반도체 기억장치를 완성한다.

이 때, n형 불순물의 이온 주입에 의한 공정 증가를 방지하기 위하여, 당해 이온 주입 공정을 메모리 셀(1)의 주변 회로부에 설치되는 각종 p형 트랜지스터의 Vth 제어층의 형성과 동시에 행하는 것이 적합하다.

이와 같이, 변형예 1에 대해서는, 설정 임계치와 메모리 셀(1)의 초기 임계치와의 차분이 최대인 과소거 검출용 셀(5)에 있어서, 메모리 셀(1) 및 다른 레퍼런스 셀(2-4)과 달리 적극적으로 n형 Vth 제어층(31)을 형성함으로써, 이 초기 임계치를 더욱 설정 임계치에 접근시킨다. 이로써, 과소거 검출용 셀(5)의 데이터 보존특성의 열화가 억제된다. 즉, 만약에 초기 임계치까지에서 전하 이득이 생겨도, 쿼터트랩 게이트(16)가 0V 인 경우에도 전류가 흐르기 때문에(도 4 참조), 정확한 과소거 검출이 가능해진다. 따라서, 공정 수를 헛되이 증가시키지 않고 신뢰성이 높은 반도체 기억장치가 실현된다.

(변형예 2)

여기서는, 도 5(b) 및 도 6 에 나타난 공정에 있어서, 과소거 검출용 셀(5)의 초기 임계치를 제어하는 대신에, 전하 손실의 발생이 가장 염려되는 기입 확인용 셀(3)의 초기 임계치를 제어한다.

도 8 은, 변형예 2의 반도체 기억 장치의 제조 방법의 주요 공정을 나타내는 개략 단면도이다.

즉, 도 5(a)의 공정을 거친 후, 도 8(a)에 나타난 바와 같이, 전면에 p형 불순물, 예컨대 붕소(B)를 예컨대 가속 에너지를 40-60keV, 도즈량을 $1 \times 10^{12} \sim 1 \times 10^{14}/\text{cm}^2$ 의 조건으로 이온 주입하고, 각 소자 활성 영역(1a-5a)에 Vth 제어층(18)을 형성한다.

이어서, 소자 활성 영역(1a, 2a, 4a, 5a)을 덮는 레지스트 마스크(24)를 형성한다. 그리고, 소자 활성 영역(3a)에 다시 p형 불순물을 예컨대 가속 에너지를 40-60keV, 도즈량을 $1 \times 10^{12} \sim 1 \times 10^{14}/\text{cm}^2$ 의 조건으로 이온 주입하고, 기입 확인용 셀(3)의 채널 영역이 되는 부위에 Vth 제어층(18)과 중첩하도록, p형 불순물 농도가 당해 Vth 제어층(18)보다 큰 Vth 제어층(32)을 형성한다.

그런 후에, 본 실시형태와 마찬가지로의 공정을 거쳐, 도 8(b) 에 나타난 바와 같이, 반도체 기억장치를 완성한다.

이와 같이, 변형예 2에 있어서는, 설정 임계치와 메모리 셀(1)의 초기 임계치와의 차분이 크고 전하 손실의 발생이 용이한 기입 확인용 셀(3)에 있어서, 메모리 셀(1) 및 다른 레퍼런스 셀(2, 4, 5)의 Vth 제어층(18)보다 p형 불순물 농도가 큰 Vth 제어층(32)을 형성함으로써, 이 초기 임계치를 설정 임계치에 접근시킨다. 이로써, 기입 확인용 셀(3)의 데이터 보존 특성의 열화가 억제되고, 공정 수를 헛되이 증가시키지 않고 신뢰성이 높은 반도체 기억장치가 실현된다.

(변형예 3)

여기서는, 각 레퍼런스 셀(3-5)의 각각에 있어서, 각 초기 임계치를 소망의 값으로 조정한다. 이 실시 형태로서는, 각 레퍼런스 셀(3-5)에 따라서 각층의 것이 고려되며, 이하에서 그 일례를 나타낸다.

도 9 는 변형예 3의 반도체 기억 장치의 제조 방법의 주요 공정을 나타내는 개략 단면도이다.

먼저, 도 5(a) 의 공정을 겪은 후, 도 9(a) 에 나타난 바와 같이, 소거 확인용 셀(4) 및 과소거 검출용 셀(5)이 형성되는 소자 활성 영역(4a, 5a)만을 덮는 레지스트 마스크(25)를 형성하고, 이 상태에서, 예컨대 가속 에너지를 40-60keV, 도즈량을 $1 \times 10^{12} \sim 1 \times 10^{14}/\text{cm}^2$ 의 조건으로 p형 불순물, 예컨대 붕소(B)를 이온 주입하고, 소자 활성 영역(4a, 5a)을 제외한 각 셀(1-3)의 채널 영역이 되는 부위에 Vth 제어층(18)을 형성한다. 여기서, 특출 확인용 셀(2)은 이 설정 임계치가 메모리 셀(1)의 초기 임계치와 거의 동일한 값이므로, 소자 활성 영역(2a)에 있어서는 그대로 특출 확인용 셀(2)의 형성에 사용한다.

이 때, 소자 활성 영역(4a, 5a)에는, Vth 제어층(18)이 형성되어 있지 않고, 소거 확인용 셀(4)이 과소거 검출용 셀(5)에 비하여 그 설정 임계치가 메모리 셀(1)의 초기 임계치에 가깝다는 것을 감안하여, 소자 활성 영역(4a)에 있어서는 그대로 소거 확인용 셀(4)의 형성에 사용한다. 이로써, 소거 확인용 셀(4)의 초기 임계치가 설정 임계치에 접근하게 된다.

이어서, 레지스트 마스크(25)를 애싱 처리 등에 의해 제거한 후, 도 9(b) 에 나타난 바와 같이, 소자 활성 영역(1a, 2a, 4a, 5a)을 덮는 레지스트 마스크(26)를 형성한다. 그리고, 소자 활성 영역(3a)에 다시 p형 불순물을 예컨대 가속 에너지를 40-60keV, 도즈량을 $1 \times 10^{12} \sim 1 \times 10^{14}/\text{cm}^2$ 의 조건으로 이온 주입하고, 기입 확인용 셀(3)의 채널 영역이 되는 부위에 Vth 제어층(18)과 중첩하도록, p형 불순물 농도가

V_{th} 제어층(18)보다 큰 V_{th} 제어층(32)을 형성한다. 이로써, 기입 확인용 셀(3)의 초기 임계치가 설정 임계치에 접근하게 된다.

이어서, 레지스트 마스크(26)를 애싱 처리 등에 의하여 제거한 후, 도 9(c)에 나타난 바와 같이, 소자 활성 영역(1a-4a)을 덮는 레지스트 마스크(27)를 형성한다. 그리고, 소자 활성 영역(5a)에 n형 불순물, 예컨대 인(P)을 예컨대 가속 에너지를 20keV, 도즈량을 $1 \times 10^{12} \sim 1 \times 10^{14}/\text{cm}^2$ 의 조건으로 이온 주입하고, 과소거 검출용 셀(5)의 채널 영역이 되는 부위에 V_{th} 제어층(31)을 형성한다. 이로써, 과소거 검출용 셀(5)의 초기 임계치가 설정 임계치에 접근하게 된다.

그런 후, 레지스트 마스크(27)를 애싱 처리 등에 의하여 제거하고, 본 실시예와 마찬가지로의 공정을 거쳐서, 도 9(d)에 나타난 바와 같이, 반도체 기억장치를 완성한다.

이와 같이, 변형예 3에 있어서는, 레퍼런스 셀(2-5)마다 초기 임계치를 설정 임계치에 접근시킨다. 이로써, 약간의 공정 용가름 초래하지만, 레퍼런스 셀(2-5)마다 미세한 초기 임계치 제어가 가능해지고, 극히 신뢰성이 높은 반도체 기억장치가 실현된다.

(변형예 4)

여기서는, 메모리 셀이 스위치 다치(multivalued) 메모리로서 구성되어 있고, 거기에 대응하여 설정 임계치가 상이한 복수 종류의 독출 확인용 셀이 설치된 반도체 기억장치에 대해서 예시한다.

종래에, 실용화된 반도체 기억장치에서는, 1개의 메모리 셀에 '0'과 '1'의 2 종류의 기억 상태만 부여되며, 따라서, 1개의 메모리 셀의 기억용량은 1비트(2 값)이다. 이에 대하여 다치 메모리로는, 1개의 메모리 셀에 3값 이상, 예컨대 2비트(4 값)이면, 00, 01, 10, 11의 4 종류의 기억정보 중에서 1개를 부여하고, 각 기억정보에 대응하는 4개의 임계치 전압에 의해 기억을 유지하는 것이다. 물론, 기억정보로서는 2비트만이 아니라, 3비트 이상(2ⁿ 값: n ≥ 3), 예컨대 0, 1, 2를 조합시킨 3ⁿ 값(n ≥ 1) 등도 고려된다.

따라서 이 경우에, 각 기억정보에 대응하는 설정 임계치마다 독출 확인용 셀을 설치할 필요가 있다. 구체적으로는, 변형예 3과 같이 각각의 독출 확인용 셀이 형성되는 소자 활성 영역마다 레지스트 마스크를 사용하여 이온 주입을 나누어 수행하고, 개개의 독출 확인용 셀에 다른 초기 임계치로 규정하여, 각 설정 임계치에 접근하도록 제어하면 된다.

이와 같이, 변형예 4에 있어서는, 다치 메모리 셀의 복수 임계치에 대응하여 설치된 각각의 독출 확인용 셀에 대하여, 각각의 초기 임계치를 설정 임계치에 접근시킴으로써, 미세한 초기 임계치 제어가 가능하게 되어, 극히 신뢰성이 높은 다양한 값의 반도체 기억장치가 실현된다.

제 2 실시 형태

다음에, 제 2 실시 형태에 대하여 설명한다. 여기서는, 제 2 셀로서, 독출 전용으로서 사용에 제공되는 메모리 셀을 구비한 반도체 기억장치에 대하여 예시한다. 다만, 제 1 실시 형태와 마찬가지로의 구성 부재 등에 대하여는 동일한 부호를 기재하여 설명을 생략한다.

도 10은, 제 2 실시 형태의 반도체 기억장치의 주요 구성을 나타내는 개략 단면도이고, 도 11은 그 개략 평면도이다.

여기서, 41은 메모리 셀(1)이 매트릭스 형상으로 복수 설치된 메모리 셀 영역이고, 42는 1회만의 기입 후, 기입 소거 용기로 되는 OTP 영역 셀(44)이 메모리 셀(1)과 마찬가지로 복수 설치된 OTP 영역, 43은 주변 회로 영역이다. 또한, 제 2 셀로서, OTP 영역 셀(44) 대신에 필라핀 비트로부터 양쪽 비트로의 치환 정보의 저장을 행하기 위한 용장 트랜지스터를 설치한 경우에도 마찬가지로의 구성이 된다.

OTP 영역 셀(44)은, 제 1 실시 형태의 각종 레퍼런스 셀과 마찬가지로, 제조 공정의 증가 회피 및 간략화를 도모하기 위하여, 메모리 셀(1)과 거의 동일한 구성이 되며, 거의 동일 공정에 의해 형성된다.

OTP 영역 셀(44)이 메모리 셀(1)과 다른 점은, 그 초기 임계치가 메모리 셀(1)보다 낮은 값으로 규정되어 있고, 당해 OTP 영역 셀(44)의 소거 후 임계치와의 차분이 근소하게 되도록 조절된다는데 있다. 일반적으로, OTP 영역 셀(44)의 소거 후 임계치는 초기 임계치보다 낮은 값으로 규정됨으로써, OTP 영역 셀(44)의 초기 임계치를 소거한 후 임계치에 접근하도록 낮은 값으로 조절하면 된다.

여기서, 메모리 셀(1)에 있어서는 기입 특성의 확보 및 소거 채널 효과의 억제 필요성으로 인하여, 그 초기 임계치를 낮은 값으로 할 수 없다. 다른 한편, OTP 영역 셀(44)에 있어서는 기입 동작이 1회뿐이기 때문에, 높은 기입 특성은 요구되지 않고, 따라서 초기 임계치를 낮게 규정하여도 문제가 없다.

구체적으로는, 제 1 실시 형태의 도 5(a)와 마찬가지로의 공정을 거쳐서, 메모리 셀(1)이 형성되는 소자 활성 영역(1a)(즉, 메모리 셀 영역(41)) 및 OTP 영역 셀(44)이 형성되는 소자 활성 영역(44a)(즉, OTP 영역(42))을 형성한 후, 도 12에 나타난 바와 같이 소자 활성 영역(44a)을 덮는 레지스트 마스크(51)를 형성한다. 이 상태에서, 예컨대 가속 에너지를 40-60keV, 도즈량을 $1 \times 10^{12} \sim 1 \times 10^{14}/\text{cm}^2$ 의 조건으로 p형 불순물, 예컨대 붕소(B)를 이온 주입하고, 소자 활성 영역(44a)을 제외한 메모리 셀(1)의 채널 영역이 되는 부위에 V_{th} 제어층(18)을 형성한다.

그리고, 레지스트 마스크(51)를 애싱 처리 등에 의하여 제거하고, 그 후의 제공정은 메모리 셀(1) 및 OTP 영역 셀(44)에 공통된다. 즉, 제 1 실시 형태와 마찬가지로의 제공정을 거쳐서, 도 11에 나타난 반도체 기억장치의 주요 구성을 완성한다.

이와 같이, 본 실시 형태에 있어서는, 설정 임계치가 메모리 셀(1)의 초기 임계치보다 작은 OTP 영역 셀(44)에 대하여, 메모리 셀(1)과 달리 V_{th} 제어층(18)을 형성하지 않음으로써, 그 초기 임계치를 설정 임계치에 접근시킨다. 이로써, OTP 영역 셀(44)의 전하 마비 특성의 열화가 억제되어, 공정 수를 획기적으로 증가시키지 않고 신뢰성이 높은 반도체 기억장치가 실현된다.

또한, OTP 영역 셀(44)에 대하여는 V_{th} 제어층(18)을 형성하지 않음으로써, 쇼트 채널 효과가 염려되지만, 컨트롤 게이트(16)의 게이트 길이를 길게 하는 등의 대책을 취함으로써 회피할 수 있다.

변형예

이하, 본 실시 형태의 변형예에 대하여 설명한다. 또한, 본 실시 형태의 반도체 기억장치의 구성 부재 등과 동일한 것에 대하여는 동일 부호를 붙이고 설명을 생략한다.

여기서는, OTP 영역 셀(44)의 초기 임계치를 제어할 때에, 반도체 기판(11)과 다른 도전형(여기서는 n형)의 불순물을 도입한다.

도 13은 변형예의 반도체 기억장치의 제조 방법의 주요 공정을 나타내는 개략 단면도이다.

즉, 먼저 도 10에 나타난 바와 같이, 메모리 셀(1)의 채널 영역이 되는 부위에 V_{th} 제어층(18)을 형성한 후, 도 13(a)에 나타난 바와 같이, 이번에는 소자 활성 영역(1a)을 덮는 레지스트 마스크(52)를 형성한다. 그리고, 소자 활성 영역(44a)에 p형 불순물, 예컨대 붕소(B)를 예컨대 가속 에너지를 40-60keV,

도즈량을 $1 \sim 9 \times 10^{15}/cm^2$ 의 조건으로 마운 주입하고, OTP 영역 셀(44)의 채널 영역이 되는 부위에 V_{th} 제어층(18)에 비하여 낮은 불순물 농도의 V_{th} 제어층(45)을 형성한다.

그런 후, 본 실시 형태와 마찬가지로의 공정을 거쳐서, 도 13(b)에 나타난 바와 같이, 메모리 셀(1) 및 OTP 영역 셀(44)을 포함하는 반도체 기억장치를 완성한다.

이와 같이, 변형예에 있어서는, OTP 영역 셀(44)의 초기 임계치를 메모리 셀(1)과는 독립적으로 설정 임계치에 접근시킨다. 이로써, 약간의 공정 증가를 초래하지만, 메모리 셀(1) 및 OTP 영역 셀에 대한 미세한 초기 임계치 제어가 가능해지고, 극히 신뢰성이 높은 반도체 기억장치가 실현된다.

발명의 효과

본 발명에 의하면, 헷되지 공정 수를 증가시키지 않고, 제 1 셀(메모리 셀)과 거의 동일 공정·동일 구조로 이루어진 제 2 셀(레퍼런스 셀, 용량 셀, OTP 영역 등)의 데이터 보존 특성을 크게 향상시킬 수 있다.

(5) 청구의 범위

청구항 1

전하 축적층을 갖는 메모리 셀인 제 1 셀과, 상기 전하 축적층을 갖고 1값의 설정 임계치로 규정되어 사용에 제공되는 적어도 1종류의 제 2 셀을 구비하고,

상기 제 2 셀은, 제조 시의 초기 임계치가 상기 제 1 셀의 초기 임계치와 다르고, 상기 설정 임계치에 가깝게 가까워지도록 상기 초기 임계치가 조절되는 것을 특징으로 하는 반도체 기억장치.

청구항 2

제 1 항에 있어서, 상기 제 2 셀은, 상기 제 1 셀의 제상태에 따라 설정된 임계치를 판정하기 위한 기준이 되는 각종의 레퍼런스 셀인 것을 특징으로 하는 반도체 기억장치.

청구항 3

제 1 항에 있어서, 상기 제 2 셀은, 독출 전용으로서 사용에 제공되는 메모리 셀인 것을 특징으로 하는 반도체 기억장치.

청구항 4

제 1 항에 있어서, 상기 제 2 셀은, 상기 제 1 셀과 채널 영역에 있어서의 불순물 농도가 다른 것을 특징으로 하는 반도체 기억장치.

청구항 5

전하 축적층을 갖는 메모리 셀인 제 1 셀과, 상기 전하 축적층을 갖고 1값의 설정 임계치로 규정되어 사용에 제공되는 적어도 1종류의 제 2 셀을 구비한 반도체 기억장치의 제조 방법으로서,

상기 제 1 및 제 2 셀의 각 채널 영역에 불순물을 도입하여 초기 임계치를 설정하는 공정을 갖고,

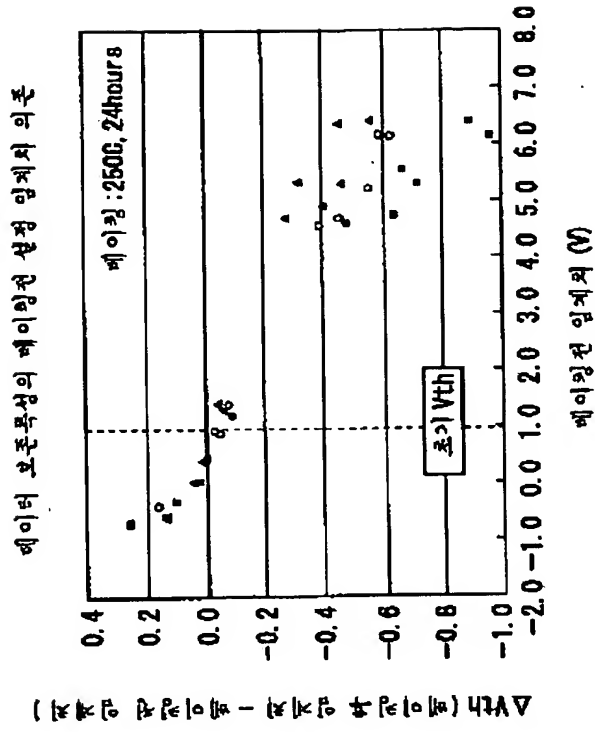
상기 제 2 셀의 상기 공정을, 상기 제 1 셀의 상기 공정과는 별개로 행하고, 상기 설정 임계치에 가깝게 가까워지도록 상기 초기 임계치를 조절하는 것을 특징으로 하는 반도체 기억장치의 제조 방법.

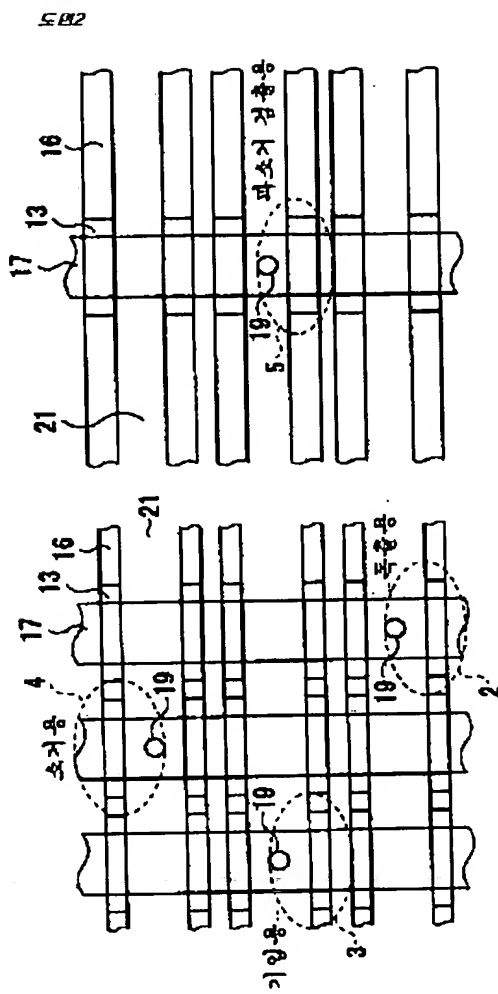
청구항 6

제 5 항에 있어서, 상기 제 1 및 제 2 셀은, 상기 공정을 제외하고 동일 제조 공정에 의해 형성되는 것을 특징으로 하는 반도체 기억장치의 제조 방법.

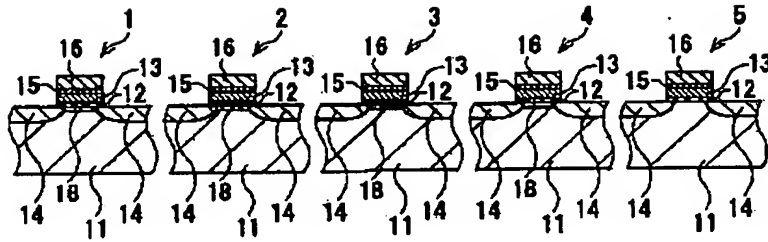
도면

도 1

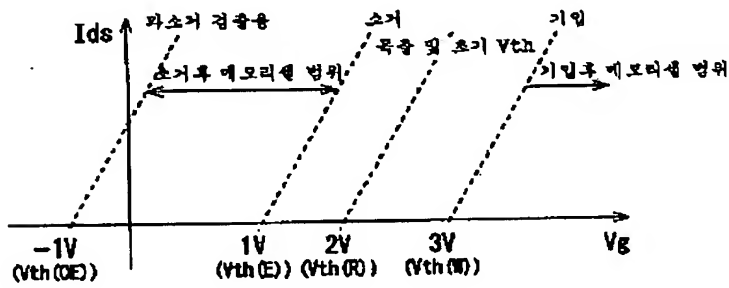




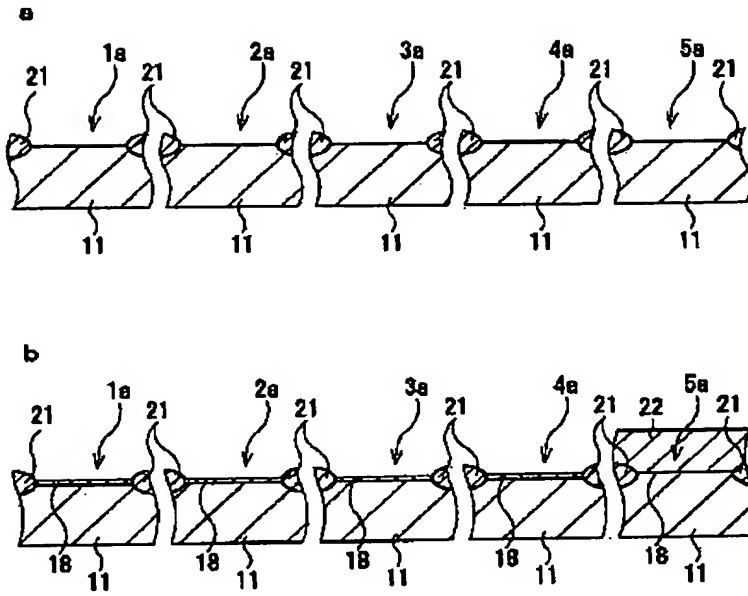
도면3

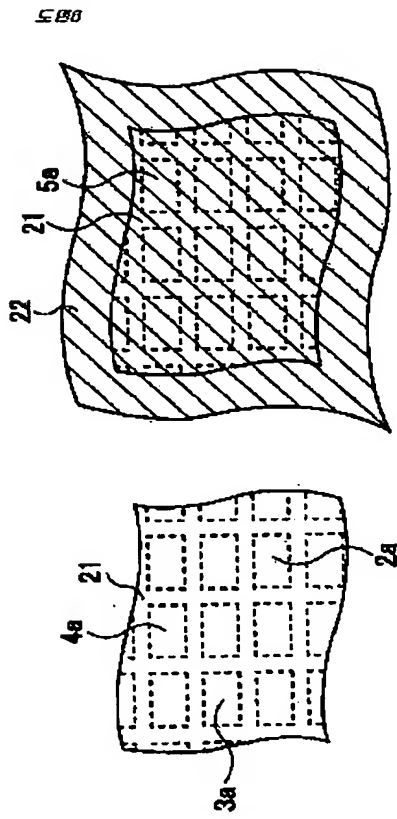


도면4



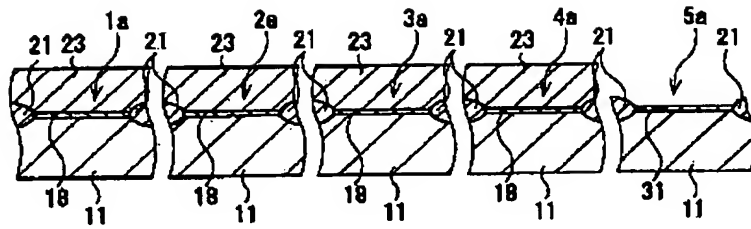
도 5



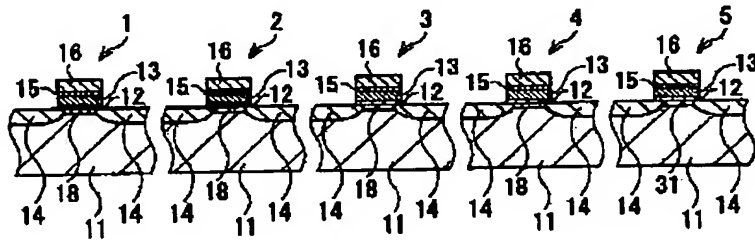


도면

a

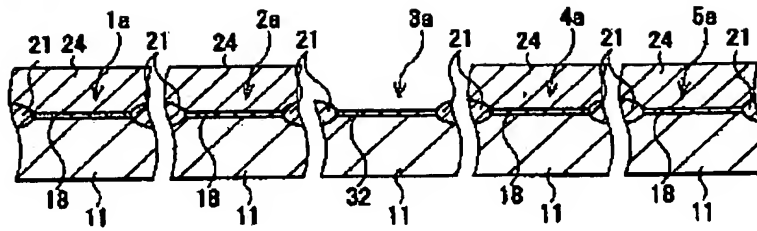


b

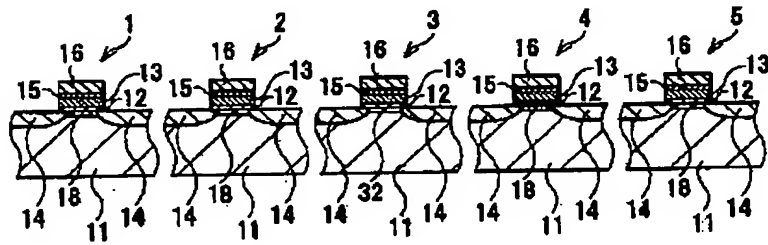


도면8

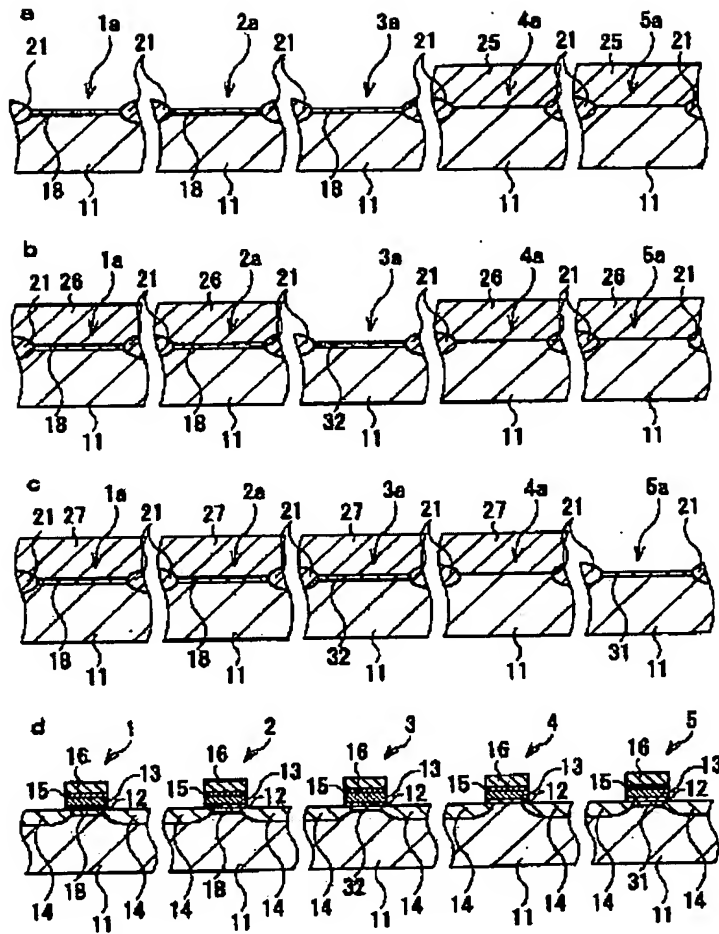
a



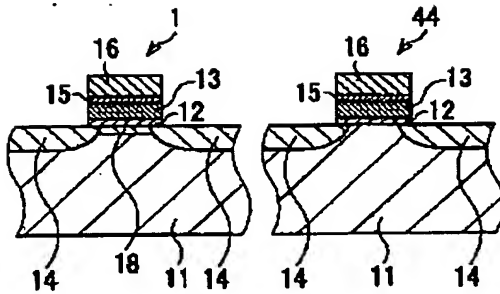
b



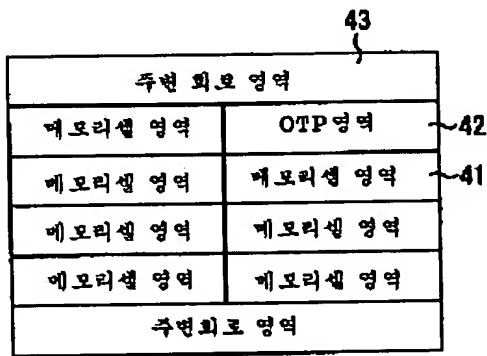
도 9



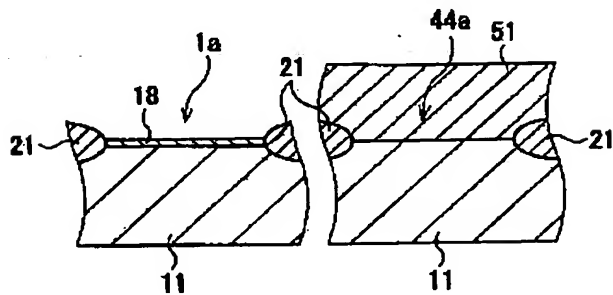
도면 10



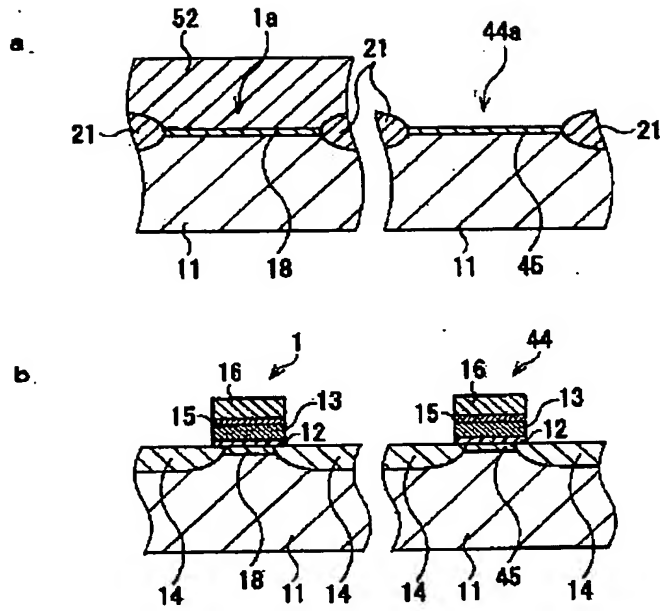
도면 11



도면 12



도면 13



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.